

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330252

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 21/82

G06F 17/50

(21)Application number : 10-129260

(71)Applicant : NEC CORP

(22)Date of filing : 12.05.1998

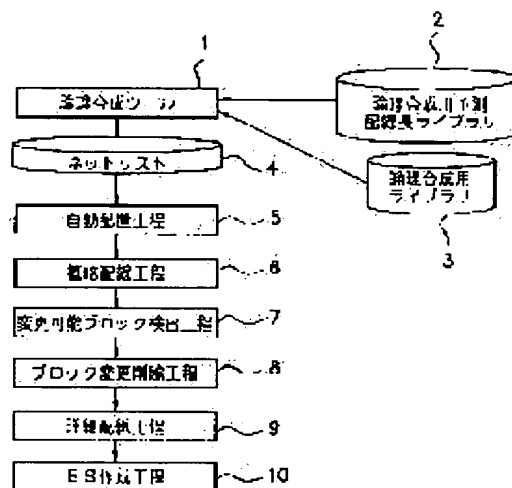
(72)Inventor : FUKUSHIMA NAGAYOSHI

(54) METHOD FOR ARRANGEMENT-WIRING OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for arranging/wiring a semiconductor integrated circuit, wherein lower consumption power of a semiconductor integrated circuit is realized and design period is shortened for improved wiring characteristics.

SOLUTION: A process where an LSI net list 4 is generated, using a logical synthesization predicted wiring length library 2 and a logic synthesizing library 3 by a logic synthesizing tool 1, an automatic arrangement process 5 where the net list 4 is automatically arranged in an LSI, a rough wiring process 6 for confirming whether wiring is possible with a block arranged in the process, a variable block detecting process 7 for detecting a block comprising an excessive delay margin and excessive capacity margin using the result from the process, a block change/delete process 8 for changing or deleting a block detected in the process, a minute wiring process 9 wherein eventual wiring is performed with the result of changing/deleting block in the process, and an ES generating process 10 performed after the process, are provided for lower power consumption of a semiconductor integrated circuit, shorter design period, and improved wiring characteristics.



LEGAL STATUS

[Date of request for examination]

12.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3209179
[Date of registration] 13.07.2001
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330252

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

C

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 T

H 0 1 L 21/82

W

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平10-129260

(22) 出願日 平成10年(1998) 5 月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 福島 永祥

東京都港区芝五丁目 7 番 1 号 日本電気株

式会社内

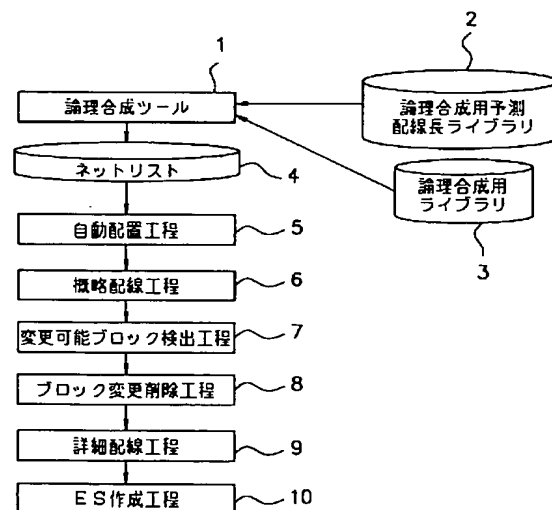
(74) 代理人 弁理士 丸山 隆夫

(54) 【発明の名称】 半導体集積回路の配置配線方法

(57) 【要約】

【課題】 半導体集積回路の低消費電力化および設計期間短縮化を図り、かつ、配線性を向上させる半導体集積回路の配置配線方法を提供する。

【解決手段】 本発明は、論理合成ツール 1 により論理合成用予測配線長ライブラリ 2 と論理合成用ライブラリ 3 とを用いて L S I 用のネットリスト 4 を作成する工程と、ネットリスト 4 を L S I に自動で配置する自動配置工程 5 と、この工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程 6 と、この工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだブロックを検出する変更可能ブロック検出工程 7 と、この工程において検出されたブロックを変更または削除するブロック変更削除工程 8 と、この工程によりブロックを変更削除した結果を用いて最終的な配線を行う詳細配線工程 9 と、この工程の後に実施される E S 作成工程 10 とを有することにより、半導体集積回路の低消費電力化および設計期間短縮化を図り、かつ、配線性を向上させる。



【特許請求の範囲】

【請求項1】 概略配線工程後に過大遅延マージンおよび過大容量マージンを含んだブロックを検出する工程と、

前記過大遅延マージンおよび過大容量マージンを含むブロックを変更または削除する工程とを有することを特徴とする半導体集積回路の配置配線方法。

【請求項2】 論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストを作成する工程と、

前記ネットリストをLSIに配置する配置工程と、
該配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、

該概略配線工程の結果を用いることにより実配置配線結果に近い値を使用して変更可能ブロックを検出する変更可能ブロック検出工程と、

該変更可能ブロック検出工程において検出された前記変更可能ブロックを変更または削除するブロック変更削除工程と、

該ブロック変更削除工程により前記変更可能なブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、

該詳細配線工程の後に実施されるES作成工程とを有することを特徴とする半導体集積回路の配置配線方法。

【請求項3】 論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストを作成する工程と、

前記ネットリストをLSIに配置する配置工程と、
該配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、

前記論理合成用ライブラリおよび前記概略配線工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程と、

該変更可能ブロック検出工程において検出された前記変更可能ブロックを変更または削除するブロック変更削除工程と、

該ブロック変更削除工程により前記ブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、

該詳細配線工程の後に実施されるES作成工程とを有することを特徴とする半導体集積回路の配置配線方法。

【請求項4】 論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストと論理設計制約ファイルとを作成する工程と、

前記ネットリストをLSIに配置する配置工程と、

該配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、

前記論理合成用ライブラリと前記論理設計制約ファイルおよび前記概略配線工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程と、

該変更可能ブロック検出工程において検出された前記変更可能ブロックを変更または削除するブロック変更削除工程と、

10 該ブロック変更削除工程により前記変更可能ブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、

該詳細配線工程の後に実施されるES作成工程とを有することを特徴とする半導体集積回路の配置配線方法。

【請求項5】 論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストを作成する工程と、

前記ネットリストをLSIに配置する配置工程と、
20 該配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、

ファンアウト制約を持ったデザインルールチェックライブラリおよび前記概略配線工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程と、

該変更可能ブロック検出工程において検出された前記変更可能ブロックを変更または削除するブロック変更削除工程と、

30 該ブロック変更削除工程により前記変更可能ブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、

該詳細配線工程の後に実施されるES作成工程とを有することを特徴とする半導体集積回路の配置配線方法。

【請求項6】 論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストと論理設計制約ファイルとを作成する工程と、

前記ネットリストをLSIに配置する配置工程と、
40 該配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、

前記論理設計制約ファイルとファンアウト制約を持ったデザインルールチェックライブラリおよび前記概略配線工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだブロックを検出するブロック検出工程と、

該ブロック検出工程において検出された前記変更可能ブロックを変更または削除するブロック変更削除工程と、

50 該ブロック変更削除工程により前記変更可能ブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、

細配線工程と、

該詳細配線工程の後に実施されるES作成工程とを有することを特徴とする半導体集積回路の配置配線方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の配置配線方法に関する。

【0002】

【従来の技術】従来の半導体集積回路の自動配置配線方法は、アルゴリズムに依存し集積度および配線性の向上を目的としていた。図6に示すように、従来の半導体集積回路の自動配置配線方法は、論理合成ツール101により論理合成用予測配線長ライブラリ102と論理合成用ライブラリ103とを用いてLSI用のネットリスト104を作成する工程と、ネットリスト104をLSIに自動で配置する自動配置工程105と、概略配線工程106と、詳細配線工程107とES作成工程108とで構成されている。詳細配線工程107の後の結果と論理合成用予測配線長ライブラリ102の結果に過大マージンが発生しても特に対処はしていなかった。

【0003】従って、ES作成工程108の後に、過大マージンを含むブロックが思わぬ過大消費電力を発生し、また、過大遅延マージンを含んだディレイ(delay)ブロックや過大容量マージンを含んだファンアウト調整用ブロックを使用することにより配線性を低下させている。

【0004】そこで、近年は、ブロックの優先配置を行い低消費電力の半導体集積回路を得る方法が特開平6-302696号公報に記載されている。また、配置配線後に実配線容量を用いたシミュレーションを行い再度設計検証を行い高集積度および低消費電力の半導体集積回路を得る方法が特開平4-137653号公報に記載されている。

【0005】

【発明が解決しようとする課題】しかしながら、特開平6-302696号公報に記載されている半導体集積回路の配置配線方法においては、優先配置を行うことにより、配線性が低下し自動配置配線が完了しない場合が発生するという問題がある。

【0006】また、特開平4-137653号公報に記載されている半導体集積回路の配置配線方法においては、実配線容量を用いたシミュレーションを行い再度設計検証を行うことにより、再度自動配置配線を行う必要が出てきて設計期間が延びるという問題がある。

【0007】本発明は、半導体集積回路の低消費電力化および設計期間短縮化を図ることができ、かつ、配線性を向上させることができる半導体集積回路の配置配線方法を提供することにある。

【0008】

【課題を解決するための手段】前記課題を解決するため

に、請求項1記載の発明は、概略配線工程後に過大遅延マージンおよび過大容量マージンを含んだブロックを検出する工程と、過大遅延マージンおよび過大容量マージンを含むブロックを変更または削除する工程とを有することを特徴とする。

【0009】請求項2記載の発明は、論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストを作成する工程と、ネットリストをLSIに配置する配置工程と、配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、概略配線工程の結果を用いることにより実配置配線結果に近い値を使用して変更可能ブロックを検出する変更可能ブロック検出工程と、変更可能ブロック検出工程において検出された変更可能ブロックを変更または削除するブロック変更削除工程と、ブロック変更削除工程により変更可能なブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、詳細配線工程の後に実施されるES作成工程とを有することを特徴とする。

【0010】請求項3記載の発明は、論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストを作成する工程と、ネットリストをLSIに配置する配置工程と、配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、論理合成用ライブラリおよび概略配線工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程と、変更可能ブロック検出工程において検出された変更可能ブロックを変更または削除するブロック変更削除工程と、ブロック変更削除工程によりブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、詳細配線工程の後に実施されるES作成工程とを有することを特徴とする。

【0011】請求項4記載の発明は、論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストと論理設計制約ファイルとを作成する工程と、ネットリストをLSIに配置する配置工程と、配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、論理合成用ライブラリと論理設計制約ファイルおよび概略配線工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程と、変更可能ブロック検出工程において検出された変更可能ブロックを変更または削除するブロック変更削除工程と、ブロック変更削除工程により変更可能ブロックを変更または削除した結果を

用いて最終的な配線を行う詳細配線工程と、詳細配線工程の後に実施されるES作成工程とを有することを特徴とする。

【0012】請求項5記載の発明は、論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストを作成する工程と、ネットリストをLSIに配置する配置工程と、配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、ファンアウト制約を持ったデザインルールチェックライブラリおよび概略配線工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程と、変更可能ブロック検出工程において検出された変更可能ブロックを変更または削除するブロック変更削除工程と、ブロック変更削除工程により変更可能ブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、詳細配線工程の後に実施されるES作成工程とを有することを特徴とする。

【0013】請求項6記載の発明は、論理合成ツールにより論理合成用予測配線長ライブラリと各ブロックのファンアウト制約およびブロック遅延を持っている論理合成用ライブラリとを用いてLSI用のネットリストと論理設計制約ファイルとを作成する工程と、ネットリストをLSIに配置する配置工程と、配置工程で配置されたブロックにて配線が可能かどうかを確認する概略配線工程と、論理設計制約ファイルとファンアウト制約を持ったデザインルールチェックライブラリおよび概略配線工程の結果を用いて過大遅延マージンおよび過大容量マージンを含んだブロックを検出するブロック検出工程と、ブロック検出工程において検出された変更可能ブロックを変更または削除するブロック変更削除工程と、ブロック変更削除工程により変更可能ブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程と、詳細配線工程の後に実施されるES作成工程とを有することを特徴とする。

【0014】

【発明の実施の形態】次に、本発明の実施形態を図面に基づいて詳細に説明する。本発明の第1の実施形態を図1に基づいて説明する。まず、論理合成ツール1により論理合成用予測配線長ライブラリ2と論理合成用ライブラリ3とを用いてネットリスト4を作成する。このネットリスト4を用いてLSIに自動で配置する自動配置工程5が実施され、この自動配置工程5で配置されたブロックにて配線が可能かどうかを確認する概略配線工程6が実施される。次に、この概略配線工程6の結果を用いて過大遅延マージンおよび過大容量マージンを含んだブロックを検出する変更可能ブロック検出工程7が実施される。

【0015】その後、この変更可能ブロック検出工程

7において検出されたブロックを変更または削除するブロック変更削除工程8が実施される。このブロック変更削除工程8においては、過大容量マージンによるパワーブロックから低パワーブロックへの変更可能ブロックの置き換え、または、過大遅延マージンによる不要ディレイブロックの削除および不要となるファンアウト調整用ブロックの削除を自動で行う。次に、ブロック変更削除工程8によりブロックを変更削除した結果を用いて最終的な配線を行う詳細配線工程9が実施され、さらにES作成工程10が実施される。

【0016】本発明の第2の実施形態を図2に基づいて説明する。まず、論理合成ツール1により論理合成用予測配線長ライブラリ2と論理合成用ライブラリ3とを用いてネットリスト4を作成する。このネットリスト4を用いてLSIに自動で配置する自動配置工程5が実施され、この自動配置工程5で配置されたブロックにて配線が可能かどうかを確認する概略配線工程6が実施される。次に、論理合成用ライブラリ3および概略配線工程6の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程7が実施される。

【0017】その後、この変更可能ブロック検出工程7において検出された変更可能ブロックを変更または削除するブロック変更削除工程8が実施される。このブロック変更削除工程8においては、過大容量マージンによるパワーブロックから低パワーブロックへの変更可能ブロックの置き換え、または、過大遅延マージンによる不要ディレイブロックの削除および不要となるファンアウト調整用ブロックの削除を自動で行う。次に、ブロック変更削除工程8によりブロックを変更または削除した結果を用いて最終的な配線を行う詳細配線工程9が実施され、さらにES作成工程10が実施される。

【0018】本発明の第3の実施形態を図3に基づいて説明する。まず、論理合成ツール1により論理合成用予測配線長ライブラリ2と論理合成用ライブラリ3とを用いてネットリスト4および論理設計制約ファイル11を作成する。ネットリスト4を用いてLSIに自動で配置する自動配置工程5が実施され、この自動配置工程5で配置されたブロックにて配線が可能かどうかを確認する概略配線工程6が実施される。次に、論理合成用ライブラリ3と論理設計制約ファイル11および概略配線工程6の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程7が実施される。

【0019】その後、この変更可能ブロック検出工程7において検出された変更可能ブロックを変更または削除するブロック変更削除工程8が実施される。このブロック変更削除工程8においては、過大容量マージンによるパワーブロックから低パワーブロックへの変更可能ブロックの置き換え、または、過大遅延マージンによる不

要ディレイブロックの削除および不要となるファンアウト調整用ブロックの削除を自動で行う。次に、ブロック変更削除工程8によりブロックを変更削除した結果を用いて最終的な配線を行う詳細配線工程9が実施され、さらにES作成工程10が実施される。

【0020】本発明の第4の実施形態を図4に基づいて説明する。まず、論理合成ツール1により論理合成用予測配線長ライブラリ2と論理合成用ライブラリ3とを用いてネットリスト4を作成する。このネットリスト4を用いてLSIに自動で配置する自動配置工程5が実施され、この自動配置工程5で配置されたブロックにて配線が可能かどうかを確認する概略配線工程6が実施される。次に、ファンアウト制約を持ったデザインルールチェックライブラリ12と概略配線工程6の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程7が実施される。

【0021】その後、この変更可能ブロック検出工程7において検出された変更可能ブロックを変更または削除するブロック変更削除工程8が実施される。このブロック変更削除工程8においては、過大容量マージンによるパワーブロックから低パワーブロックへの変更可能ブロックの置き換え、または、過大遅延マージンによる不要ディレイブロックの削除および不要となるファンアウト調整用ブロックの削除を自動で行う。次に、ブロック変更削除工程8によりブロックを変更削除した結果を用いて最終的な配線を行う詳細配線工程9が実施され、さらにES作成工程10が実施される。

【0022】本発明の第5の実施形態を図5に基づいて説明する。まず、論理合成ツール1により論理合成用予測配線長ライブラリ2と論理合成用ライブラリ3とを用いてネットリスト4および論理設計制約ファイル11を作成する。ネットリスト4を用いてLSIに自動で配置する自動配置工程5が実施され、この自動配置工程5で配置されたブロックにて配線が可能かどうかを確認する概略配線工程6が実施される。次に、論理設計制約ファイル11とファンアウト制約を持ったデザインルールチェックライブラリ12および概略配線工程6の結果を用いて過大遅延マージンおよび過大容量マージンを含んだ変更可能ブロックを検出する変更可能ブロック検出工程7が実施される。

【0023】その後、この変更可能ブロック検出工程7

において検出されたブロックを変更または削除するブロック変更削除工程8が実施される。このブロック変更削除工程8においては、過大容量マージンによるパワーブロックから低パワーブロックへの変更可能ブロックの置き換え、または、過大遅延マージンによる不要ディレイブロックの削除および不要となるファンアウト調整用ブロックの削除を自動で行う。次に、ブロック変更削除工程8によりブロックを変更削除した結果を用いて最終的な配線を行う詳細配線工程9が実施され、さらにES作成工程10が実施される。

【0024】

【発明の効果】本発明は、不要なブロックの変更または削除することができることにより、半導体集積回路の低消費電力化および設計期間短縮化を図ることができ、かつ、配線性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を説明するための図である。

【図2】本発明の第2の実施形態を説明するための図である。

【図3】本発明の第3の実施形態を説明するための図である。

【図4】本発明の第4の実施形態を説明するための図である。

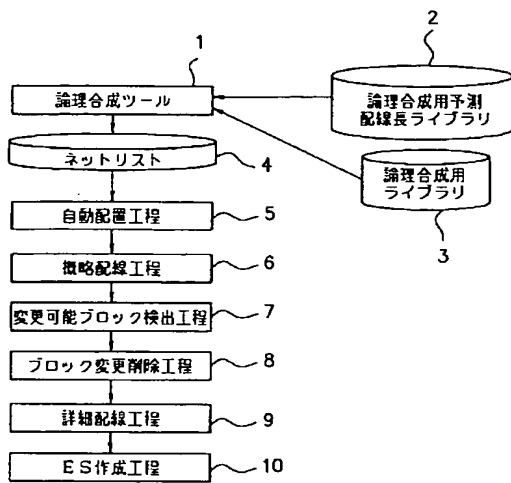
【図5】本発明の第5の実施形態を説明するための図である。

【図6】従来の半導体集積回路の配置配線方法を説明するための図である。

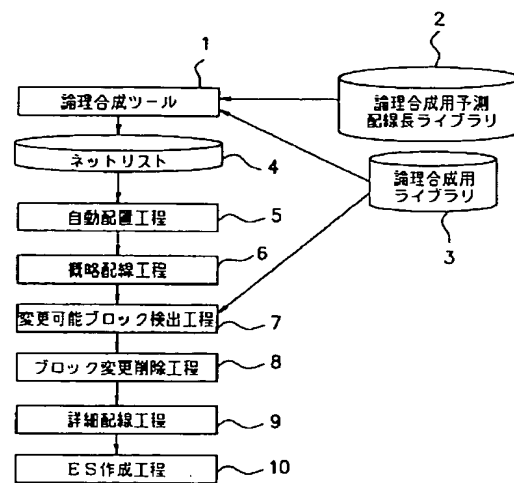
【符号の説明】

- 1 論理合成ツール
- 2 論理合成用予測配線長ライブラリ
- 3 論理合成用ライブラリ
- 4 ネットリスト
- 5 自動配置工程
- 6 概略配線工程
- 7 変更可能ブロック検出工程
- 8 ブロック変更削除工程
- 9 詳細配線工程
- 10 ES作成工程
- 11 論理設計制約ファイル
- 12 デザインルールチェックライブラリ

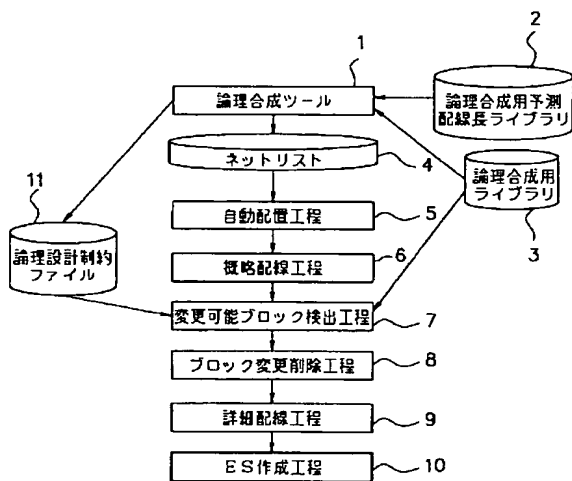
【図1】



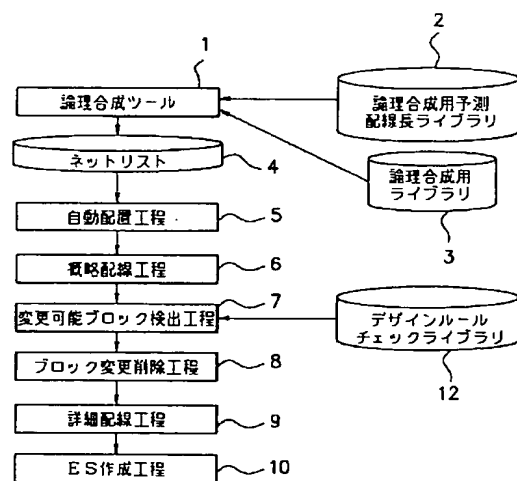
【図2】



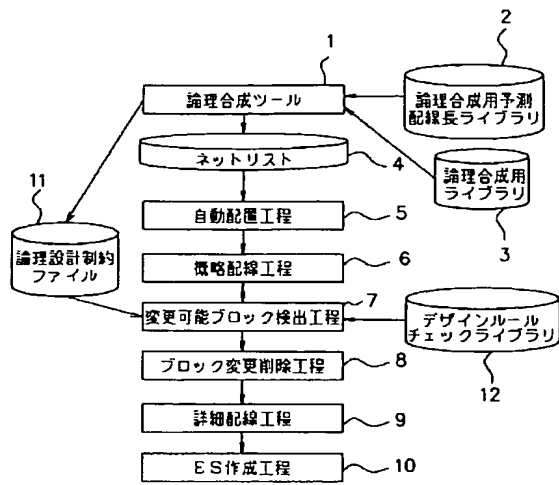
【図3】



【図4】



【図5】



【図6】

